

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-206766

(43)Date of publication of application : 13.08.1993

| | | |
|-------------|------|------|
| (51)Int.Cl. | H03F | 3/68 |
| | H03G | 3/10 |

(21)Application number : 04-014934

(71)Applicant : NEC IC MICROCOMPUT SYST LTD

(22)Date of filing : 30.01.1992

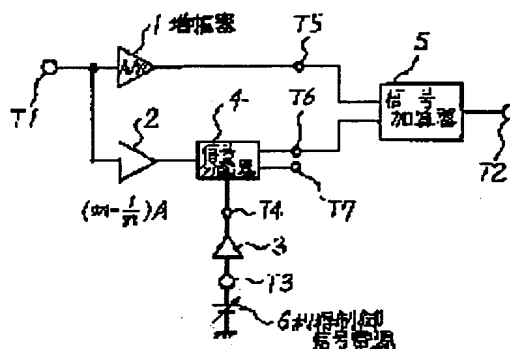
(72)Inventor : TERADA NORIO
ISHIBASHI TERUKAZU

(54) VARIABLE GAIN AMPLIFIER CIRCUIT

(57)Abstract:

PURPOSE: To improve the balance of a dynamic range of a control signal with respect to a center gain by easily and accurately obtaining a minimum gain, the center gain and a maximum gain.

CONSTITUTION: An amplifier 1 whose gain is a multiple of A/n and an amplifier 2 whose gain is a multiple of $\{m-(1/n)\}A$ (A is a real number not zero and n, m are real numbers not the unity) are connected in parallel with an input terminal T1. The output of the amplifier 2 is varied at a signal distributor 4 by a variable control voltage from a control terminal T3 and outputted distributively into $(m-1)/\{m-(1/n)\}$ to $1-(1/n)/\{m-(1/n)\}$. The output of $1-(1/n)/\{m-(1/n)\}$ side and the output of the amplifier 1 are added by 1:1 at a signal adder 5 and the result of addition is extracted from an output terminal T2.



LEGAL STATUS

[Date of request for examination] 16.01.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2752829

[Date of registration] 27.02.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-206766

(43)公開日 平成5年(1993)8月13日

| (51)Int.Cl. ⁵ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|--------------------------|------|----------|-----|--------|
| H 0 3 F 3/68 | B | 7436-5 J | | |
| H 0 3 G 3/10 | Z | 7350-5 J | | |

審査請求 未請求 請求項の数3(全 6 頁)

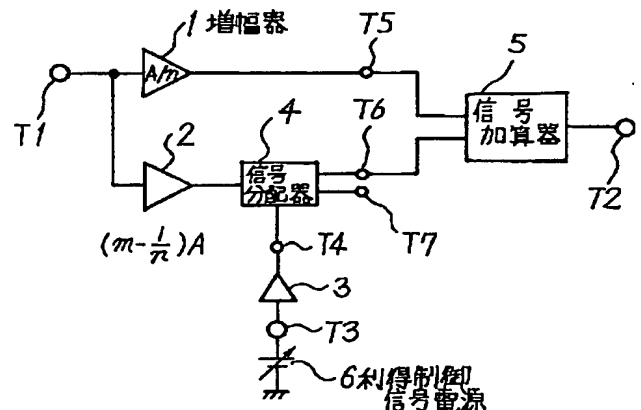
| | | | |
|----------|-----------------|---------|---|
| (21)出願番号 | 特願平4-14934 | (71)出願人 | 000232036 日本電気アイシーマイコンシステム株式会社 神奈川県川崎市中原区小杉町1丁目403番53 |
| (22)出願日 | 平成4年(1992)1月30日 | (72)発明者 | 寺田 典生 神奈川県川崎市中原区小杉町一丁目403番53日本電気アイシーマイコンシステム株式会社内 |
| | | (72)発明者 | 石橋 輝一 神奈川県川崎市中原区小杉町一丁目403番53日本電気アイシーマイコンシステム株式会社内 |
| | | (74)代理人 | 弁理士 京本 直樹 (外2名) |

(54)【発明の名称】 可変利得増幅回路

(57)【要約】

【構成】利得 A/n 倍の増幅器1と利得 $\{m - (1/n)\}$ A倍の増幅器2 ($A: 0$ でない実数、 $n, m: 1$ より大きい実数)を入力端子T1に並列接続する。この増幅器2の出力は、制御端子T3からの可変制御電圧により信号分配器4で可変されるとともに、その可変中心値において $(m-1) / \{m - (1/n)\}$ 対 $\{1 - (1/n)\} / \{m - (1/n)\}$ に分配出力される。この分配器4の $\{1 - (1/n)\} / \{m - (1/n)\}$ 側出力および増幅器1の出力を信号加算器5で1対1加算し、その加算結果を出力端子T2から取り出す。

【効果】最小利得、中心利得および最大利得を正確且つ容易に得られるとともに、制御信号のダイナミックレンジを中心利得に対してバランスよくすることができる。



(2)

【特許請求の範囲】

【請求項1】 入力端子に接続され利得 A/n 倍の第1の増幅器と、前記入力端子に接続され利得 $A\{m-(1/n)\}$ 倍の第2の増幅器と、前記第2の増幅器の出力を入力し $(m-1)/\{m-(1/n)\}$ 対 $\{1-(1/n)\}/\{m-(1/n)\}$ に分配出力する信号分配器と、前記第1の増幅器および前記信号分配器の出力を1対1加算する信号加算器とを有することを特徴とする可変利得増幅回路。

【請求項2】 入力端子に接続された利得 A/n 倍 (A は0でない実数、 n は1より大きい実数)の第1の増幅器と、前記入力端子に接続された利得 $(m-1/n) \cdot A$ 倍 (m は1より大きい実数)の第2の増幅器と、前記第2の増幅器からの出力を制御信号により可変し且つその可変中心値において $(m-1)/\{m-(1/n)\}$ 対 $\{1-(1/n)\}$ に信号を分配出力する信号分配器と、前記第1の増幅器の出力端および前記分配器の $\{1-(1/n)\}/\{m-(1/n)\}$ 側出力端を1対1の加算比に設定した加算器とを有し、前記加算器の出力を信号出力端子から取り出すことを特徴とする可変利得増幅回路。

【請求項3】 前記信号分配器を制御する前記制御信号は、そのダイナミックレンジを中心利得に対してバランスさせた請求項2記載の可変利得増幅回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は電子回路における可変利得増幅回路に関し、特に制御信号により利得を可変させる可変利得増幅回路に関する。

【0002】

【従来の技術】従来、かかる可変利得増幅回路は多くの電子回路で用いられており、ビデオカメラのようなシステムでは特に必要とされる。

【0003】図4は従来の可変利得増幅回路を説明するためのブロック図である。図4に示すように、従来の可変利得増幅回路は、入力端子T1に接続され利得が A/n 倍の第1の増幅器1と、同様に入力端子T1に接続され利得が mA 倍の第2の増幅器2aと、これら第1、第2の増幅器1、2aの出力をそれぞれ制御信号に基づき信号端子T5、T8およびT6、T7に分配出力する信号分配器7および4と、これら信号分配器7および4の出力を加算する信号加算器5と、制御端子T3を介して信号分配器4、7に供給する第3の増幅器3とを有している。この可変利得増幅回路は中心利得に対し、最小で $1/n$ 倍 (但し、 $n>1$)、最大で m 倍 (但し、 $m>1$)の利得設定が出来る。このため、かかる利得増幅回路はビデオカメラのようにレンズの絞り値の最大・最小値の設定と合せることが必要とされるシステムに有効である。

【0004】図5は、図4における可変利得制御特性図

である。以下、図4および図5を用いて、従来の可変利得増幅回路の動作を説明する。まず、図4における A/n 倍、 $A \cdot m$ 倍の利得を有する第1および第2の増幅器1および2aは、その出力をそれぞれ信号分配器7および4に供給されるが、それらの信号通過量は $1/P$ 対 $\{1-(1/P)\}$ に分配出力される (但し、 $P>1$)。各々の分配出力端での信号の分配通過量は利得制御信号入力端T3に接続された利得制御信号源6の電圧値により可変される。信号加算器5は加算比1対1で出力信号端子T2に出力するが、加算器5には分配器7および4各々の逆の分配出力端が接続されている。すなわち、利得制御信号電源6の任意の電圧値 V_{0s} に対し、分配器7は $1/P$ 出力となる側の出力端を、また分配器4は $\{1-(1/P)\}$ 出力となる側の出力端をそれぞれ加算器5に接続している。いま、利得制御信号電源6が最小値 V_{01} の時に $P=1$ とすると、出力信号端子T2には、

【0005】

$$V_0 = (V_i \times A/n) \times 1/1 + (V_i \times A \cdot m) \times (1-1/1) \\ = A/n \cdot V_i \text{ ----- (1)}$$

【0006】なる出力信号が得られ、これは可変最小利得 A/n 倍を有している。

【0007】次に、利得制御信号電源6が最大値 V_{03} の時に $P=\infty$ とすると、その出力端子T2には、

【0008】

$$V_0 = (V_i \times A/n) \times 1/\infty + (V_i \times A \cdot m) \times (1-1/\infty) \\ = A \cdot m \cdot V_i \text{ ----- (2)}$$

【0009】なる出力信号が得られ、これは可変最大利得 $A \cdot m$ 倍を有している。

【0010】次に、利得制御信号電源6を $P = (m-1/n) / (m-1)$ となるような V_{02} に設定した場合、出力信号端子T2には、

【0011】

$$V_0 = (V_i \times A/n) \times 1/p + (V_i \times A \cdot m) \times (1-1/p) \\ = (V_i \times A/n) \times (m-1/n)/(m-1) + (V_i \times A \cdot m) \\ \times \left\{ 1 - (m-1/n)/(m-1) \right\} \\ = V_i \times A \times \left\{ \frac{(m-1) + n \cdot m(1-1/n)}{n(m-1/n)} \right\} \\ = A \cdot V_i \text{ ----- (3)}$$

【0012】なる出力信号が得られ、これは可変利得 A 倍を有している。

【0013】以上の(1)式～(3)式の結果が示す通り、利得制御特性は図5のようになる。これは、利得制御信号電源6が $V_{01} \sim V_{02} \sim V_{03}$ に設定されることにより、利得 $A/n \sim A \sim A \cdot m$ 倍の可変利得が得られることになる。即ち、ビデオカメラシステム等で要求

(3)

されるA倍を中心利得として最小 $1/n$ 倍、最大m倍の設定が可能な利得可変増幅器が実現出来ることになる。

【0014】図6は従来の一例を示す可変利得増幅回路図である。図6に示すように、かかる回路において、抵抗 R_1 、 R_3 およびトランジスタ Q_2 によるベース接地アンプで利得が A/n 倍の増幅器1を構成し、抵抗 R_2 、 R_3 およびトランジスタ Q_3 によるベース接地アンプで利得 $A \cdot m$ 倍の増幅器2aを構成している。また、トランジスタ Q_4 、 Q_5 及びトランジスタ Q_8 、 Q_9 による差動回路で共通エミッタを入力端とした $1/P$ ：

$(1 - 1/P)$ の分配器7、4を構成している。ここで、 $1/2 \sim 1 \sim 3$ 倍なる可変利得増幅器を要するとすると、 $A=1$ 、 $n=2$ 、 $m=3$ となるので、抵抗 R_3 対抵抗 R_1 の抵抗比を0.5:1とすることにより、 $1/2$ 倍の増幅器1を実現でき、また抵抗 R_3 対抵抗 R_2 の抵抗比を3:1とすることにより、3倍の増幅器2aを実現出来る。一方、分配器7および4については、トランジスタ Q_4 と Q_5 およびトランジスタ Q_8 と Q_9 の各々のエミッタ面積比を1:1とすることにより、同等の分配信号通過制御特性を持って実現出来る。

【0015】例えば、利得制御電源6が最小電圧値 V_01 の時、トランジスタ Q_4 、 Q_5 の差動回路はトランジスタ Q_5 のみがON状態になっており、またトランジスタ Q_8 、 Q_9 からなる差動回路はトランジスタ Q_8 のみがON状態になっているので、出力端子T2には抵抗 R_1 、 R_3 とトランジスタ Q_2 からなる第1の増幅器1の信号のみが出力される。つまり、 $1/2$ 倍の利得に設定された増幅器を有することになる。また、利得制御電源6が最大 V_03 の時は前述した動作とは反対に抵抗 R_2 、 R_3 およびトランジスタ Q_3 による第2の増幅器2aの信号のみが出力される。これは3倍の利得に設定された増幅器を有することになる。

【0016】更に、利得制御電源6を最小値 V_01 から最大値 V_03 の間の適当な電圧値 V_02 に設定すると、トランジスタ Q_4 、 Q_5 からなる差動回路の信号通過量は各々のコレクタで0.2対0.8にすることが出来、逆にトランジスタ Q_8 、 Q_9 からなる差動回路の信号通過量は各々のコレクタで0.8対0.2にすることが出来る。この時、出力端子T2には第1の増幅器1および第2の増幅器2aにより、

$$\begin{aligned} & 1/2 \text{倍} \times 0.8 + 3 \text{倍} \times 0.2 \\ &= 0.4 \text{倍} + 0.6 \text{倍} \\ &= 1 \text{倍} \end{aligned}$$

となる利得の信号が出力されることになる。従って、利得制御電源6を最小～最大値の間の適当な電圧に設定すれば、中心利得1倍の増幅器となるので、結果的に $1/2 \sim 1 \sim 3$ 倍なる可変利得増幅器が実現出来る。

【0017】

【発明が解決しようとする課題】上述した従来の可変利得増幅回路は、利得制御電源の最小電圧値及び最大電圧

値を設定することにより、最小利得(A/n 倍)及び最大利得(mA 倍)を設定出来るが、中心利得(A倍)は最小値から最大値までの間に於ける適当な電圧値である必要があるため、正確な利得設定をクリティカルに設定しにくいという欠点がある。また、かかる可変利得増幅回路は中心利得(A倍)にする利得制御電源電圧値が中心値とならないため、制御電源電圧の可変幅を最大値及び最小値の設定に対し同様に設定することが出来ず、制御信号としてのダイナミックレンジを中心利得に対してアンバランスにするという欠点がある。

【0018】本発明の目的は、かかる最小利得、中心利得および最大利得を正確且つ容易に得られるとともに、制御信号のダイナミックレンジを中心利得に対してバランスよくすることのできる可変利得増幅回路を提供することにある。

【0019】

【課題を解決するための手段】本発明の可変利得増幅回路は、入力端子に接続された利得 A/n 倍(A は0でない実数、 n は1より大きい実数)の第1の増幅器と、前記入力端子に接続された利得 $(m-1/n) \cdot A$ 倍(m は1より大きい実数)の第2の増幅器と、前記第2の増幅器からの出力を制御信号により可変し且つその可変中心値において $(m-1) / \{m - (1/n)\}$ 対 $\{1 - (1/n)\}$ に信号を分配出力する信号分配器と、前記第1の増幅器の出力端および前記分配器の $\{1 - (1/n)\} / \{m - (1/n)\}$ 側出力端を1対1の加算比に設定した加算器とを有し、前記加算器の出力を信号出力端子から取り出すように構成している。

【0020】

【実施例】次に、本発明の実施例について図面を参照して説明する。図1は本発明の可変利得増幅回路の概要を説明するためのブロック図である。図1に示すように、本発明の概要は入力端子T1に並列に接続され且つ増幅率が A/n 倍の第1の増幅器1および増幅率が $\{m - (1/n)\}$ 倍の第2の増幅器2と、この第2の増幅器2の出力を制御端子T4からの制御信号により分配する信号分配器4と、増幅器1の出力端T5および分配出力端T6からの出力を加算し出力端子T2へ出力する信号加算器5と、制御端子T3および接地間に接続された可変利得制御信号電源6と、制御端子T3およびT4間に接続された増幅器3とを有する。このうち、信号分配器4は利得制御信号電源6の電圧値が最小値、中間地、最大値の時に各々の信号の分配通過量が分配出力端T6側で0、 $\{1 - (1/n)\} / \{m - (1/n)\}$ 倍、1倍となるように設定されている。ここで、 $m, n > 1$ である。また、増幅器1は A/n 倍、増幅器2は $A \{m - (1/n)\}$ 倍なる利得を有しており、共通入力端子T1には V_i なる信号が入力される。更に、信号加算器5は2つの信号を1対1に加算する信号加算器であり、信号出力端子T2には V_o なる信号が出力される。

(4)

【0021】いま、利得制御信号電源6の電圧値が最小値V01の時、すなわち信号分配器4のT6出力端での信号分配通過量が0の時、信号出力端子T2に次の

(4)式で示した

【0022】

$$\begin{aligned} V_o &= V_i \times A/n + V_i \times A(m-1/n) \times 0 \\ &= V_i \times A/n \text{ ----- (4)} \end{aligned}$$

$$\begin{aligned} V_o &= V_i \times A/n + V_i \times A(m-1/n) \times (1-1/n) / (m-1/n) \\ &= V_i \times A/n + V_i \times A(1-1/n) \\ &= V_i \times A \text{ ----- (5)} \end{aligned}$$

【0026】信号出力が得られる。これによれば、A倍の利得を有することになる。

【0027】次に、電源6の電圧値が最大値V03の時、すなわち分配器4のT6出力端での信号分配通過量が1倍の時、出力端子T2には次の(6)式で示した

【0028】

$$\begin{aligned} V_o &= V_i \times A/n + V_i \times A(m-1/n) \times 1 \\ &= V_i \times A m \text{ ----- (6)} \end{aligned}$$

【0029】なる信号出力が得られる。これによれば、Am倍の利得を有することになる。

【0030】図2は図1における可変利得制御特性図である。図2に示すように、この利得制御特性は上述した(4)式～(6)式の結果である。すなわち、利得制御電源6が最小値V01、中心値V02、最大値V03に設定されることにより、利得A/n、A、A・m倍の可変利得が得られ、しかも中心利得A倍に対し、最小利得A/n倍と最大利得A・m倍とは、同様の利得制御電源可変幅となることを示している。

【0031】図3は本発明の一実施例を示す可変利得増幅回路図である。図3に示すように、本実施例は抵抗R2、R3およびトランジスタQ3によるベース接地アンプでA/n倍の増幅器1を構成し、抵抗R1、R3およびトランジスタQ2によるベース接地アンプで(m-1/n)A倍の増幅器2を構成するとともに、トランジスタQ4、Q5による作動回路で共通エミッタを入力端とする信号分配器4も構成している。ここで、トランジスタQ4、Q5のエミッタ面積比は(m-1)/(m-1/n) : {1-(1/n)} / {m-1/n}に設定されている。このため、トランジスタQ4、Q5による差動回路がバランスしている時には、トランジスタQ5のコレクタ出力側で{1-(1/n)} / {m-1/n}倍の信号分配通過量が得られるようになっている。

【0032】まず、1/2～1～3倍なる可変利得増幅器を要する場合は、A=1、n=2、m=3となるので、抵抗R1、R2、R3の抵抗値比及びトランジスタ

【0023】信号出力が得られる。この(4)式によれば、A/n倍の利得を有することになる。

【0024】次に、電源6の電圧値が中心値V02の時、すなわち信号分配器4のT6出力端での信号分配通過量が{1-(1/n)} / {m-1/n}倍の時、出力端子T2には次の(5)式で示した

【0025】

Q4、Q5のエミッタ面積比を各々、R3 : R2 = 0.5 : 1、R3 : R1 = 2.5 : 1、Q4 : Q5 = 4 : 1とする。これにより、前述した図1に相対する1/2倍の増幅器1と、2.5倍の増幅器2及び可変中心値において1/5の分配出力になる分配器4とを実現出来る。

【0033】例えば、利得制御電源6が最小電圧値V01のとき、トランジスタQ4、Q5のベース電位は各々最高、最低電位になるので、トランジスタQ5はOFF状態となり、出力端子T2は、抵抗R2、R3およびトランジスタQ3による増幅器1の信号のみが出力される。つまり1/2倍に利得設定された増幅器を有することになる。

【0034】また、制御電源6が最大値V03のときは、トランジスタQ4、Q5のベース電位が各々最低、最高電位になるので、トランジスタQ5のみがON状態になる。このとき、抵抗R1、R3およびトランジスタQ2による2.5倍の増幅器2の信号出力は全てT6端子に出力されるので、出力端子T2には抵抗R2、R3およびQ3による0.5倍の増幅器1の信号出力に加算された3倍の利得を有する信号出力が得られる。

【0035】更に、制御電源6が中心値V02のときは、トランジスタQ4、Q5のベース電位は等しくなるので、トランジスタQ4、Q5はどちらもON状態且つ各々のエミッタ面積比4 : 1に応じた信号通過量を有している。このため、抵抗R1、R3およびトランジスタQ3による2.5倍の増幅器2の信号出力は、1/5倍されて0.5倍相当の信号となってT6端子に出力される。従って、結果的に出力端T2には、抵抗R2、R3およびトランジスタQ3による0.5倍の増幅器1の信号出力に加算された1倍の利得を有する信号出力が得られることになる。

【0036】このように、利得制御電源6を最小値～中心値～最大値に設定することにより、1/2倍～1倍～3倍となる可変利得増幅器が実現される。

【0037】

【発明の効果】以上説明したように、本発明の可変利得増幅回路は、最小利得(A/n倍)と中心利得(A倍)

(5)

及び最大利得 ($A \cdot m$ 倍) を得るにあたり、利得制御電源の電圧値を各々最小値と中心値および最大値に設定することにより、容易に得られるという効果がある。また、本発明は中心利得が A 倍の利得制御電源電圧値を可変範囲の中心値としているので、最小利得側及び最大利得側の制御可変幅を同様にでき、制御信号としてのダイナミックレンジを中心利得に対してバランスよくするという効果がある。

【図面の簡単な説明】

【図1】本発明の可変利得増幅回路の概略を説明するためのブロック図である。

【図2】図1における可変利得制御特性図である。

【図3】本発明の一実施例を示す可変利得増幅回路図である。

【図4】従来の可変利得増幅回路の概略を説明するためのブロック図である。

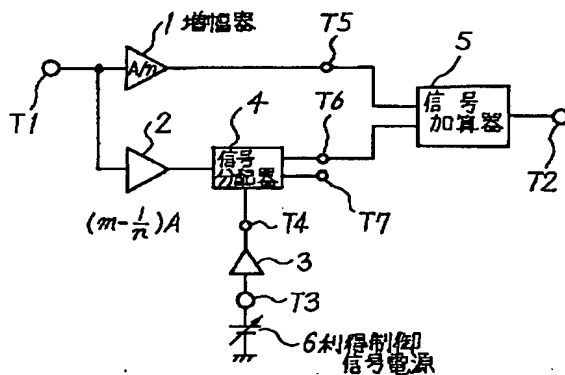
【図5】図4における可変利得制御特性図である。

【図6】従来の一例を示す可変利得増幅回路図である。

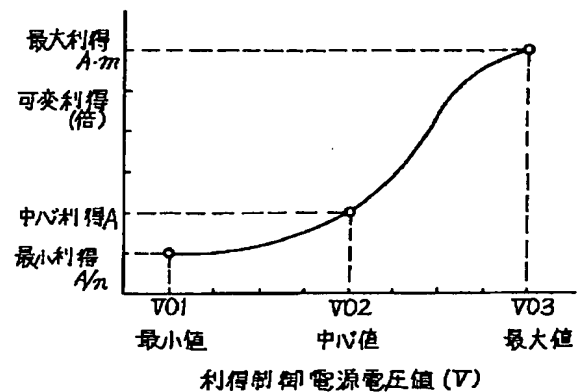
【符号の説明】

- 1 A/n 倍増幅器
- 2 $\{m - (1/n)\} A$ 倍増幅器
- 3 増幅器
- 4 信号分配器
- 5 信号加算器
- 6 利得制御信号電源
- T1 入力端子
- T2 出力端子
- T3 制御端子
- T5～T8 信号端子
- Q1～Q7 トランジスタ
- R1～R8 抵抗素子
- I1～I4 定電流源
- V1～V3 定電圧源

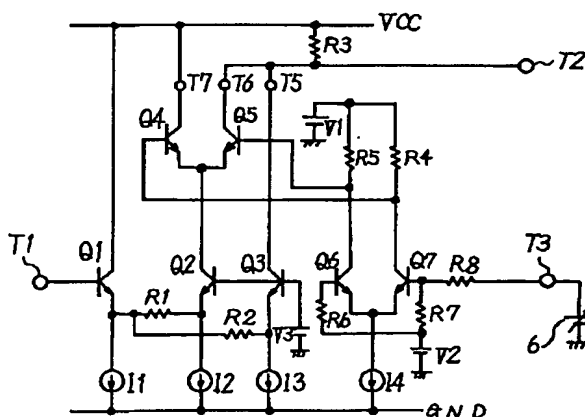
【図1】



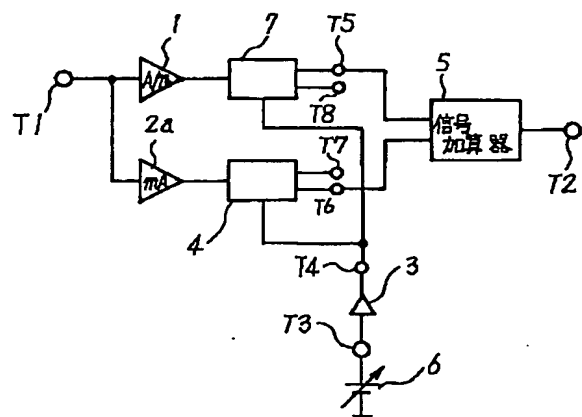
【図2】



【図3】

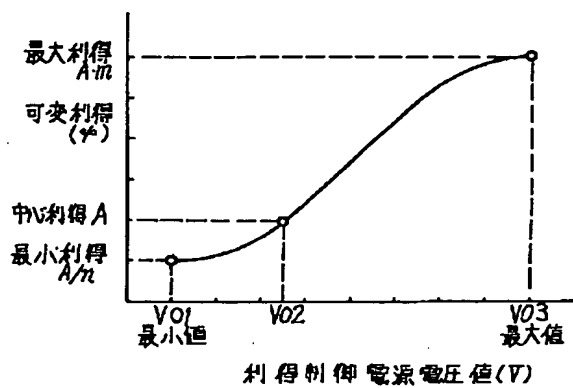


【図4】



(6)

【図5】



【図6】

